

**ANEXO I AO
CONVÊNIO N° XX/204
PLANO DE TRABALHO**

ANEXO I

PLANO DE TRABALHO

1. TÍTULO DO PROJETO

Pesquisa e desenvolvimento de front-ends analógicos e conversores analógico-digitais de alta resolução

2. DADOS DO PARCEIRO

Razão social		CNPJ
Chipus Microeletrônica S.A.		1 0 4 7 5 8 9 0 / 0 0 0 1 - 4 1

Endereço (<i>logradouro; nº; complemento</i>)	Bairro
Rua Emílio Blum, 131, Torre A, 10º. Andar.	Centro

Município	UF	CEP (<i>se houver</i>)									
Florianópolis	S C	8	8	0	2	0	-	0	1	0	

Responsável Legal	CPF
Murilo Pilon Pessatti	_____

OBS: estes campos partem da premissa que o parceiro possui natureza empresarial, o que corresponde ao cenário mais frequente nas ICTs. Adapte as informações necessárias em conformidade com o caso concreto.

3. RESUMO DO PROJETO DE PESQUISA, DESENVOLVIMENTO E INOVAÇÃO

A cadeia de digitalização de sinais analógicos de alta resolução é composta pelo front-end analógico (AFE) e por conversores analógicodigitais (ADCs). O circuito AFE é composto por amplificadores e filtros, e possui como carga a impedância de entrada do ADC. Ambos os circuitos são necessários em uma aplicação completa e este projeto foca no desenvolvimento de um circuito de AFE e de um ADC de alta resolução visando a digitalização de sinais com uma resolução efetiva superior a 16 bits. Ambos os circuitos serão projetados em nível de sistema e em nível elétrico (esquemático elétrico e leiaute) visando aliar baixo consumo de energia e baixa distorção harmônica. Os circuitos serão fabricados em tecnologia CMOS para validar experimentalmente os circuitos desenvolvidos.

4. OBJETIVOS

O objetivo geral deste projeto é o estudo e desenvolvimento de um sistema completo de digitalização de sinais de alta precisão para aplicações industriais. O sistema a ser desenvolvido deve ser composto por um front-end analógico completo e por um ADC de alta resolução. A solução deve ser desenvolvida em tecnologia CMOS e apresentar elevada eficiência energética. Para isso, o projeto será executado em duas frentes: projeto do circuito de AFE e projeto do ADC. Como objetivo específico espera-se, ao fim deste projeto, obter o sistema completo, em nível de esquemático, leiaute e a validação em silício de ambos os circuitos. Os objetivos gerais e específicos de cada projeto estão destacados a seguir:

Objetivos do Projeto do circuito de AFE

Objetivos Gerais

- Desenvolver o projeto completo de um AFE de alta resolução e baixo consumo de energia.
- Desenvolvimento de documentação demonstrando a revisão bibliográfica e todas as decisões de projeto tomadas.

Objetivos Específicos

- Revisão bibliográfica sobre circuitos de AFE de alta precisão.
- Definição das especificações de um circuito de AFE.
- Estudo e implementação de amplificadores de baixo ruído.
- Estudo e implementação de filtros ativos.
- Projeto em nível elétrico completo em tecnologia CMOS (projeto analógico).
- Leiaute do circuito AFE.
- Fabricação do circuito de AFE e caracterização em bancada.
- Análise comparativa (e crítica) de resultados.

Objetivos Projeto ADC de Alta Resolução

Objetivos Gerais

- Revisão bibliográfica sobre ADCs de alta resolução para definição da topologia a ser utilizada: ADC Sigma-Delta, ADC Sigma-Delta Incremental ou ADC Zoom.
- Desenvolvimento de documentação demonstrando a revisão bibliográfica e todas as decisões de projeto tomadas visando atingir resoluções efetivas acima de 16 bits.

Objetivos Específicos

- Revisão bibliográfica sobre ADCs de alta resolução.
- Projeto de um ADC de alta resolução visando ENOB acima de 16 bits.
- Análise de ruído de entrada e definição da implementação do circuito em nível elétrico.
- Modelagem em alto nível do ADC.
- Projeto em nível elétrico do ADC.
- Leiaute do ADC.
- Fabricação do ADC e caracterização em bancada.
- Análise comparativa (e crítica) de resultados.

5. JUSTIFICATIVAS:

A digitalização de sinais analógicos é essencial na área de instrumentação eletrônica e processamento de sinais no domínio digital. Ela está presente em diferentes equipamentos de eletrônica de consumo, automóveis, equipamentos industriais e médicos. A digitalização de sinais é efetuada por um conversor-analógico digital (ADC). Entretanto, o sinal a ser aplicado em um ADC é inicialmente processado por um circuito de front-end analógico (AFE), que amplifica e filtra o sinal a ser digitalizado [1].

Um circuito de AFE usualmente é composto por um amplificador de baixo ruído e um

amplificador de ganho programável [2], [3]. E ele é projetado de modo a introduzir baixo ruído e baixa distorção ao sinal original, tendo como carga a impedância de entrada do ADC. Em alguns casos o circuito de AFE também conta com um filtro passa-baixas [4], que serve como um filtro anti-alias.

O sinal de saída do circuito de AFE é aplicado na entrada do ADC. Para aplicações de alta resolução utilizam-se ADCs baseados em sobreamostragem [5]. Dentre as principais topologias pode-se citar os ADCs Sigma-Delta [6], os ADCs Sigma-Delta Incrementais [7] e os ADCs do tipo Zoom [8]. Com estas topologias é possível atingir resoluções efetivas da ordem de 16 bits para taxas de amostragem de até algumas centenas de kHz.

Ao longo dos últimos anos observou-se um avanço significativo no desenvolvimento de ADCs de alta resolução para variadas aplicações. Isto se deu pela uma grande demanda pela digitalização de sinais com alta precisão. Entretanto, em aplicações reais são necessários dois circuitos: um circuito de AFE e um ADC de alta resolução. Deste modo, este projeto de pesquisa visa unir esforços com a empresa brasileira Chipus Microelectronics para o estudo e desenvolvimento de uma solução completa envolvendo o front-end analógico e um conversor analógico-digital de elevada resolução e baixo consumo de energia, tendo como foco atingir resoluções efetivas acima de 16 bits.

A empresa Chipus Microelectronics (certificada com ISO 9001:2015) foi fundada em 2008 e é uma empresa do ramo de semicondutores focada no desenvolvimento de circuitos integrados de aplicações específicas (ASICs) de sinais mistos, propriedade intelectual (IPs) e serviços de projeto de circuitos integrados. A empresa Chipus Microelectronics também tem contribuído amplamente para a formação de mão de obra especializada na área de microeletrônica, tendo fomentado juntamente com o Instituto de Pesquisas Eldorado a primeira e segunda edições do Curso de Formação de Leiautista de Circuitos Integrados (2021 e 2022) e a primeira edição do curso de Formação de Projetistas de Circuitos Integrados (2022). Ainda, participou como apoiadora e forneceu professores para o curso Inova Semicondutores (Curso de Formação de Projetistas de Circuitos Integrados – Circuitos de Sinais Mistos.) realizado na UNIPAMPA de setembro de 2024 a março de 2025.

Deste modo, a execução do presente projeto irá contribuir para o fortalecimento de uma empresa nacional e propiciará a relação Indústria-Universidade através da interação entre docentes e estudantes da Unipampa com profissionais capacitados da indústria de semicondutores. Além disso, este projeto de pesquisa contribuirá para consolidar a presença da UNIPAMPA na execução de projetos de pesquisa e desenvolvimento tecnológico com a indústria nacional, com ênfase no projeto de circuitos de instrumentação e digitalização de sinais.

Referências:

- [1] M. Pelgrom, *Analog-to-Digital Conversion*. [S.l.]: Springer, 2017.
- [2] Y. Jung et al., "A Wide-Dynamic-Range Neural-Recording IC With Automatic-Gain-Controlled AFE and CT Dynamic-Zoom $\Delta\Sigma$ ADC for Saturation-Free Closed-Loop Neural Interfaces," in *IEEE Journal of Solid-State Circuits*, vol. 57, no. 10, pp. 3071-3082, Oct. 2022, doi: 10.1109/JSSC.2022.3188626.
- [3] L. Fang et al., "A 107.6 dB-DR Three-Step Incremental ADC for Motion-Tolerate Biopotential Signals Recording," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 18, no. 1, pp. 111-122, Feb. 2024, doi: 10.1109/TBCAS.2023.3312976.
- [4] T. Zhang, Y. Li, C. Su, X. Zhang and Y. Yang, "A 1V 3.5 μ W Bio-AFE With Chopper-Capacitor-Chopper Integrator-Based DSL and Low Power GM-C Filter," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 69, no. 1, pp. 5-9, Jan. 2022, doi: 10.1109/TCSII.2021.3086138.
- [5] F. Maloberti, *Data Converters*. Springer, 2007.
- [6] K. Edrian Lozada, Y. -D. Kim, H. -J. Kim, Y. Cho, M. Choi and S. -T. Ryu, "A 0.38-mW 200-kHz-BW Digital-Intensive Single-Opamp Fourth-Order Continuous-Time Delta-Sigma Modulator With Third-Order Digital Noise Coupling in 28-nm CMOS," in *IEEE Journal of Solid-State Circuits*, vol. 60, no. 4, pp. 1236-1247, April 2025, doi: 10.1109/JSSC.2024.3513442.
- [7] J. -S. Huang, S. -C. Kuo and C. -H. Chen, "A Multistep Multistage Fifth-Order Incremental Delta Sigma Analog-to-Digital Converter for Sensor Interfaces," in *IEEE Journal of Solid-State Circuits*, vol. 58, no. 10, pp. 2733-2744, Oct. 2023, doi: 10.1109/JSSC.2023.3288198.

[8] Y. Choi, W. Lee, S. Park, C. Kim, H. Jung and C. Kim, "A 101.6-dB-SNDR Fully Dynamic Zoom ADC Using Miller-Compensated Floating Inverter Amplifiers," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 71, no. 9, pp. 4141-4145, Sept. 2024, doi: 10.1109/TCSII.2024.3392909.

6. DESCRIÇÃO DA(S) METODOLOGIA(S)

O projeto será desenvolvido no Grupo de Arquitetura de Computadores e Microeletrônica (GAMA) da UNIPAMPA. Para o desenvolvimento deste projeto serão utilizados os computadores, equipamentos de caracterização elétrica e ferramentas de EDA e processamento matemático disponíveis no laboratório de pesquisa do GAMA. Além dos recursos previstos neste projeto será necessário a fabricação e encapsulamento do circuito integrado que será financiado pela empresa financiadora deste projeto.

O projeto será inicialmente desenvolvido utilizando modelos de alto nível. Após, os circuitos serão implementados em nível de esquemático elétrico, e posteriormente será efetuado o leiaute do circuito. Após a validação pós-leiaute, o circuito será enviado para fabricação para posterior caracterização elétrica em bancada.

7. DIREITOS PRÉ-EXISTENTES RELACIONADOS AO PROJETO

No melhor conhecimento do coordenador, não existem direitos pré-existentes relacionadas à este projeto.

8. METAS E INDICADORES

A seguir são apresentadas as atividades do projeto de acordo com a ordem temporal, e respeitando as etapas descritas na metodologia proposta. Esta proposta prevê o desenvolvimento de dois circuitos: um circuito de AFE (A) e um ADC de alta resolução (B). O projeto considera o desenvolvimento dos dois paralelamente (fases A e B), e a integração de ambos os circuitos (fase C).

A) Projeto do circuito de AFE

A1: Revisão bibliográfica sobre front-ends analógicos de alta resolução e delimitação do estado da arte.

A2: Determinação dos testebenchs de teste e métricas de desempenho do circuito AFE.

A3: Definição do circuito de AFE e modelagem de alto nível.

A4: Projeto do circuito de AFE em nível elétrico.

A5: Leiaute do circuito de AFE.

B) Projeto ADC de Alta Resolução

B1: Revisão bibliográfica sobre ADCs de alta resolução.

B2: Definição das especificações do ADC.

B3: Determinação da topologia do ADC e modelagem de alto nível

B4: Projeto do ADC em nível elétrico.

B5: Leiaute do ADC.

C) Integração dos AFE e ADC e fabricação dos circuitos

C1: Determinação da tecnologia CMOS a ser empregada e especificações a serem atingidas.

C2: Modelagem da integração do AFE com o ADC.

C3: Integração do AFE com o ADC em nível de esquemático.

C4: Leiaute do circuito completo.

C5: Fabricação dos circuitos e preparação das PCBs de teste.

C6: Caracterização dos circuitos fabricados.

C7: Escrita de artigos e relatórios.

C8: Escrita do relatório Final.

Observação: Os bolsistas de mestrado e iniciação científica serão selecionados após ampla divulgação e seleção. Espera-se selecionar os bolsistas até março de 2026.

Tabela: Metas do projeto.

Metas	Indicador de execução
A1 - Revisão bibliográfica sobre front-ends analógicos de alta resolução e delimitação do estado da arte.	Escrita de artigo de revisão bibliográfica sobre AFEs.
A2 - Determinação dos testebenchs de teste e métricas de desempenho do circuito AFE.	Projeto dos setups de teste em ambiente de simulação.
A3 - Definição do circuito de AFE e modelagem de alto nível.	Desenvolvimento de modelos comportamentais em VerilogA.
A4- Projeto do circuito de AFE em nível elétrico.	Projeto de amplificadores e filtros em nível de esquemático elétrico.
A5 - Leiaute do circuito de AFE.	Leiaute e simulação pós-leiaute de sub-blocos do circuito de AFE.
B1 - Revisão bibliográfica sobre ADCs de alta resolução.	Escrita de artigo de revisão bibliográfica sobre ADCs de alta resolução.
B2 - Definição das especificações do ADC.	Análise prévia sobre ruído e limite teórico.
B3 - Determinação da topologia do ADC e modelagem de alto nível	Desenvolvimento de modelos comportamentais.
B4 - Projeto do ADC em nível elétrico.	Projeto de blocos (amplificadores, comparadores, DACs) em nível de esquemático elétrico.
B5 - Leiaute do ADC.	Leiaute e simulação pós-leiaute de sub-blocos do ADC.

C1 - Determinação da tecnologia CMOS a ser empregada e especificações a serem atingidas.	Metas de desempenho (SNDR, ENOB, e consumo) estabelecidas. Aprovação do PDK.
C2 - Modelagem da integração do AFE com o ADC	Modelos completos do AFE e do ADC em VerilogA.
C3 - Integração do AFE com o ADC em nível de esquemático	Resultados de simulação da integração em nível elétrico.
C4 - Leiaute do circuito completo	Leiaute completo sem erros de DRC e erros de LVS.
C5 - Fabricação dos circuitos e preparação das PCBs de teste	Envio do .gds para a foundry. Roteamento da PCB de testes.
C6 - Caracterização dos circuitos fabricados	Validação da PCB de testes. Medidas do AFE e do ADC.
C7 - Escrita de artigos e relatórios	Submissão de artigos e apresentação de relatório técnicos de projeto.
C8 - Escrita do Relatório Final	Reunião de apresentação de resultados e encerramento do projeto.

9. GERENCIAMENTO DE RISCOS

Os principais riscos do projeto estão relacionados à fabricação do circuito integrado. Especialmente em relação ao atraso de fabricação e importação do circuito.

Tabela: Gestão de riscos.

Descrição do Risco	Probabilidade de Ocorrência	Impacto	Ação para controle
Atraso na fabricação do microchip	Baixo	Baixo - irá atrasar a medida do circuito e escrita do relatório final do projeto.	O circuito será enviado para a fabricação dentro da janela de execução do projeto e com tempo hábil de fabricação e caracterização.
Erro de DRC e LVS que pode prejudicar o funcionamento do circuito	Baixo.	Baixo.	O chip será enviado para fabricação apenas após a validação completa pós-leiaute, sem erros de DRC e LVS.
Descasamento das especificações de simulação e medida	Médio.	Desprezível.	Espera-se uma diferença entre os resultados de simulação e os resultados de medida.
Ingresso de alunos de mestrado no projeto após a data prevista.	Médio	Baixo	Este projeto visa o fomento de bolsas de mestrado e IC. Assim, será efetuado ampla divulgação para o preenchimento das vagas com sucesso.

10. CRONOGRAMA DE EXECUÇÃO DO PROJETO DE PESQUISA, DESENVOLVIMENTO E INOVAÇÃO

O cronograma de execução do projeto é apresentado abaixo.

Tabela : Cronograma de execução das etapas ou fases de execução

ETAPAS OU FASES DE EXECUÇÃO								
		RESPONSÁVEL	ANO 01 (2026)					
1º SEMESTRE			JAN	FEV	MAR	ABR	MAI	JUN
	A1 - Revisão bibliográfica sobre front-ends analógicos de alta resolução e delimitação do estado da arte.	Paulo Aguirre, Alessandro Girardi, Crístian Muller	X	X	X			
	A2 - Determinação dos testebenches de teste e métricas de desempenho do circuito AFE.	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC				X	X	
	A3 - Definição do circuito de AFE e modelagem de alto nível.	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC					X	X
	B1 - Revisão bibliográfica sobre ADCs de alta resolução.	Paulo Aguirre, Alessandro Girardi, Crístian Muller	X	X	X			
	B2 - Definição das especificações do ADC	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC				X	X	
	B3 - Determinação da topologia do ADC e modelagem de alto nível	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC					X	X
	C1 - Determinação da tecnologia CMOS a ser empregada e especificações a serem atingidas	Paulo Aguirre, Alessandro Girardi, Crístian Muller, William Prodanov e Rodrigo Rottava				X		
		RESPONSÁVEL	ANO 01 (2026)					
2º SEMESTRE			JUL	AGO	SET	OUT	NOV	DEZ
	A3 - Definição do circuito de AFE e modelagem de alto nível.	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC	X	X				
	A4 - Projeto do circuito de AFE em nível elétrico.	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC			X	X	X	X

	B3 - Determinação da topologia do ADC e modelagem de alto nível	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC	X	X				
	B4 - Projeto do ADC em nível elétrico	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC			X	X	X	X
	C2 - Modelagem da integração do AFE com o ADC	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC	X	X				

ETAPAS OU FASES DE EXECUÇÃO								
		RESPONSÁVEL	ANO 02 (2027)					
1º SEMESTRE			JAN	FEV	MAR	ABR	MAI	JUN
	A4 - Projeto do circuito de AFE em nível elétrico.	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC	X	X	X	X		
	A5 - Leiaute do circuito de AFE	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC					X	X
	B4 - Projeto do ADC em nível elétrico	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC	X	X	X	X		
	B5 - Leiaute do ADC	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC					X	X
	C3 - Integração do AFE com o ADC em nível de esquemático	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC	X	X	X	X		
		RESPONSÁVEL	ANO 02 (2027)					
2º SEMESTRE			JUL	AGO	SET	OUT	NOV	DEZ

	A5 - Leiaute do circuito de AFE	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC	X	X				
	B5 - Leiaute do ADC	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC	X	X				
	C4 - Leiaute do circuito completo	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC	X	X				
	C5 - Fabricação dos circuitos e preparação das PCBs de teste	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC			X	X	X	X

ETAPAS OU FASES DE EXECUÇÃO								
		RESPONSÁVEL	ANO 03 (2028)					
1º SEMESTRE			JAN	FEV	MAR	ABR	MAI	JUN
	C6 - Caracterização dos circuitos fabricados	Paulo Aguirre, Alessandro Girardi, Crístian Muller, Alunos de Mestrado e IC	X	X				
	C7 - Escrita de artigos e relatórios	Paulo Aguirre, Alessandro Girardi e Crístian Muller			X	X	X	X
		RESPONSÁVEL	ANO 03 (2028)					
2º SEMESTRE			JUL	AGO	SET	OUT	NOV	DEZ
	C8 - Escrita do Relatório Final	Paulo Aguirre, Alessandro Girardi e Crístian Muller	X					

11. LOCAIS DE REALIZAÇÃO, EQUIPE TÉCNICA E COORDENAÇÃO

O projeto será realizado no Grupo de Arquitetura de Computadores e Microeletrônica (GAMA) da Unipampa, situado na sala 213-A3. O coordenador do projeto será o Professor Paulo César Comassetto de Aguirre. Participarão do projeto os colaboradores apresentados na tabela a seguir:

Tabela: Recursos humanos participantes do projeto.

Nome	Local	Função/Atividade no Projeto
Paulo César Comassetto de Aguirre	UNIPAMPA	Coordenador

Alessandro Gonçalves Girardi	UNIPAMPA	Coordenador Substituto/Pesquisador
Crístian Muller	UNIPAMPA	Pesquisador
William Prodanov	Chipus Microelectronics	Colaborador Externo
Rodrigo Rottava	Chipus Microelectronics	Colaborador Externo
Bolsista de Mestrado 01	UNIPAMPA	Mestrando - UNIPAMPA
Bolsista de Mestrado 02	UNIPAMPA	Mestrando - UNIPAMPA
Bolsista de iniciação científica 01	UNIPAMPA	Aluno de iniciação científica UNIPAMPA
Bolsista de iniciação científica 02	UNIPAMPA	Aluno de iniciação científica UNIPAMPA

12. CRONOGRAMA FINANCIERO

O plano de recursos financeiros é apresentado abaixo.

A empresa fará repasses mensais considerando:

Ano 01:

12 parcelas de **R\$ 14.866,67**

Ano 02

12 parcelas iguais de **R\$ 16.111,11**

Ano 03

4 parcelas de **R\$ 16.372,22**

Tabela: Plano de aplicação dos recursos financeiros necessários para execução do projeto.

Descrição	Valores por ano – R\$		
	1	2	3
Diárias no país	5.360,00	5.360,00	0,00
Diárias no exterior	0,00	0,00	0,00
TOTAL - Diárias	5.360,00	5.360,00	0,00
Passagens para o país	5.000,00	5.000,00	0,00
Passagens para o exterior	0,00	0,00	0,00
TOTAL -Passagens	5.000,00	5.000,00	0,00
TOTAL - EQUIPAMENTOS	0	0	0
Materiais de consumo	5.000,00	5.000,00	0,00
TOTAL - MATERIAL CONSUMO	5.000,00	5.000,00	0,00
Custos Operacionais da Fundação de Apoio	8.920,00	9.666,67	3.274,44
Ressarcimento pelo uso da infra-estrutura UNIPAMPA	4.460,00	4.833,33	1.637,22
Ressarcimento pelo uso da infra-estrutura Unidade	4.460,00	4.833,33	1.637,22
TOTAL - SERVIÇOS DE TERCEIROS PESSOA JURÍDICA	17.840,00	19.333,33	6.548,89
TOTAL - SERVIÇOS TÉCNICOS ESPECIALIZADOS			
Bolsas de estudo no país	67.200,00	80.640,00	13.440,00

Auxílio financeiro a pesquisador (professor)	78.000,00	78.000,00	45.500,00
TOTAL - RECURSOS HUMANOS	145.200,00	158.640,00	58.940,00
TOTAL - PROJETO:	178.400,00	193.333,33	65.488,89
TOTAL:		R\$ 437.222,22	

13. PROJETO(S) ASSOCIADOS(S)

Projetos financiados através dos editais CNPq MAI/DAI 2022 e 2024 coordenados pelo coordenador da proposta.



Assinado eletronicamente por **PAULO CESAR COMASSETTO DE AGUIRRE, PROFESSOR DO MAGISTERIO SUPERIOR**, em 07/11/2025, às 10:11, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



A autenticidade deste documento pode ser conferida no site https://sei.unipampa.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0, informando o código verificador **1890186** e o código CRC **986C4CB9**.