

**ANEXO I AO**  
**Parceria PD&I Nº XX/2026**  
**PLANO DE TRABALHO**

**ANEXO I**

**PLANO DE TRABALHO**

### 1. TÍTULO DO PROJETO

Desenvolvimento de Conversores Analógico-Digitais de Baixa Potência para Monitoramento de Sinais Biomédicos.

### 2. DADOS DO PARCEIRO

Razão social	CNPJ													
EnSilica do Brasil LTDA	4	2	9	3	4	2	5	2	0	0	0	1	3	8
Endereço (logradouro; n°; complemento)										Bairro				
Avenida Ipiranga, 6681, Prédio 99A, sala 1009										Partenon				
Município	UF		CEP (se houver)											
Porto Alegre	R	S	9	0	6	1	9	9	0	0				
Responsável Legal	CPF													
Julio Leão														

OBS: estes campos partem da premissa que o parceiro possui natureza empresarial, o que corresponde ao cenário mais frequente nas ICTs. Adapte as informações necessárias em conformidade com o caso concreto.

### 3. RESUMO DO PROJETO DE PESQUISA, DESENVOLVIMENTO E INOVAÇÃO

Dispositivos vestíveis como relógios e pulseiras inteligentes com capacidade de monitoramento de sinais biomédicos têm evoluído rapidamente ao longo dos últimos anos. A evolução tecnológica foca na redução do consumo de energia dos dispositivos para maior durabilidade da bateria, bem como na inclusão de novas funcionalidades de saúde e bem estar. O monitoramento de sinais biomédicos depende de um front-end analógico (AFE) e da digitalização destes sinais para posterior processamento digital. Este projeto aborda em especial a exploração de técnicas de projeto e desenvolvimento de conversores analógicos-digitais (ADCs) de baixo consumo de energia para digitalização de sinais biomédicos. Os circuitos desenvolvidos serão projetados em tecnologia CMOS de escala nanométrica e validados em nível de simulação elétrica.

### 4. OBJETIVOS

O objetivo geral deste projeto é o estudo e desenvolvimento de ADCs de baixo consumo de energia para digitalização de sinais biomédicos. Os ADCs a serem desenvolvidos terão resoluções de 12 a 16 bits. A solução deve ser desenvolvida em tecnologia CMOS e apresentar eficiência energética igual ou superior ao estado da arte, com capacidade de integração em sistemas em chip (SoCs). Para isso, o projeto será executado visando explorar diferentes topologias de ADCs sobreamostrados, em especial no projeto dos sub blocos do ADC. Como objetivo específico espera-se, ao fim deste projeto, obter ao menos um ADC completo em nível elétrico. Os objetivos gerais e específicos são apresentados a seguir:

#### Objetivos Gerais:

- Desenvolver o projeto completo de um ADC de baixo consumo de energia para digitalização de sinais biomédicos.
- Estudo e documentação demonstrando a revisão bibliográfica e todas as decisões de projeto tomadas considerando consumo de energia, área de silício e complexidade de implementação.

#### Objetivos Específicos:

- Revisão bibliográfica sobre ADCs para digitalização de sinais biomédicos.
- Definição das especificações de ADCs de sinais biomédicos.
- Estudo e implementação de uma topologia de ADC completa em alto nível (Python ou Matlab, e em VerilogA).
- Estudo e desenvolvimento de amplificadores e comparadores de baixo consumo.
- Projeto em nível elétrico completo de um ADC em tecnologia CMOS.
- Leitura dos circuitos projetados.

- Análise comparativa (e crítica) de resultados.

## 5. JUSTIFICATIVAS:

A rápida adoção de dispositivos vestíveis pela população ao longo dos últimos anos tem gerado uma demanda crescente por circuitos integrados e Sistemas em Chip (SoC) customizados. Estes sistemas apresentam diversas funcionalidades, em especial para o monitoramento de diferentes sinais biomédicos.

A digitalização de sinais biomédicos requer conversores analógico-digitais (ADCs) com baixa taxa de amostragem (da ordem de unidades de kS/s) e alta resolução [1], [2]. Estes ADCs são usualmente sobreamostrados, do tipo Sigma-Delta ou Sigma-Delta Incremental [1], [3], [4]. Estes ADCs são compostos principalmente por um Modulador Sigma-Delta e um filtro decimador digital e são usualmente utilizados em conjunto com um front-end analógico (AFE) dedicado [5], [6].

O consumo de energia destes ADCs é determinado principalmente pelos amplificadores utilizados nos moduladores Sigma-Delta, e depende da relação sinal-ruído (SNR) almejada. Visando a redução do consumo de energia, diferentes topologias de ADCs e amplificadores têm sido exploradas ao longo dos últimos [7], [8], [9].

Entretanto, espera-se que a otimização e desenvolvimento de técnicas de projeto destes ADCs possibilite uma maior eficiência energética, gerando inovação tecnológica e possibilitando o desenvolvimento de novos produtos. Assim, este projeto de pesquisa, desenvolvimento e inovação visa unir esforços com a EnSilica do Brasil LTDA para o estudo e desenvolvimento de ADCs para aquisição de sinais biomédicos de baixo consumo de energia, bem como para a formação de mão de obra qualificada para atuação na indústria.

A empresa EnSilica do Brasil é a subsidiária brasileira da EnSilica, uma renomada multinacional britânica especializada no design e fornecimento de semicondutores (chips). A empresa foca no desenvolvimento de ASICs (Circuitos Integrados de Aplicação Específica) e SoCs personalizados. A EnSilica iniciou suas atividades no Brasil em 2021, estabelecendo-se inicialmente em Porto Alegre, no Parque Científico e Tecnológico da PUCRS (Tecnopuc). Recentemente, a empresa expandiu sua presença com a abertura de um segundo centro de design em Campinas (SP), localizado no Parque Científico e Tecnológico da Unicamp. A EnSilica do Brasil atua como um braço de engenharia para projetos globais, trabalhando em tecnologias de ponta para diversos setores: Automotivo, Comunicações, Saúde e Industrial.

A empresa EnSilica também tem contribuído amplamente para a formação de mão de obra especializada na área de microeletrônica. Atuou como apoiadora em diferentes iniciativas de formação de recursos humanos na área de semicondutores no Brasil. Ainda, forneceu professores para o curso Inova Semicondutores (Curso de Formação de Projetistas de Circuitos Integrados de Sinais Mistos.) realizado na UNIPAMPA de setembro de 2024 a março de 2025.

Este projeto de pesquisa está vinculado à Chamada CNPq Nº 009/2024 - Programa de Mestrado e Doutorado para Inovação MAI/DAI. Deste modo, a execução do presente projeto irá contribuir para o fortalecimento de uma empresa de projeto de circuitos integrados com escritórios de projeto no Brasil, e propiciará a relação Indústria-Universidade através da interação entre docentes e estudantes da Unipampa com profissionais capacitados da indústria de semicondutores. Além disso, este projeto de pesquisa contribuirá para consolidar a presença da UNIPAMPA na execução de projetos de pesquisa e desenvolvimento tecnológico com a indústria de semicondutores, com ênfase no projeto de conversores analógico-digitais para digitalização de sinais biomédicos.

### Referências:

[1] L. Fang et al., "A 107.6 dB-DR Three-Step Incremental ADC for Motion-Tolerate Biopotential Signals Recording," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 18, no. 1, pp. 111-122, Feb. 2024, doi: 10.1109/TBCAS.2023.3312976.

[2] Y. Li, H. Li, T. Qu, Q. Liu, Z. Hong and J. Xu, "A 101-dB DR 2.2GΩ-Input-Impedance Direct Digitization ExG Front-End With  $\Delta$ -Modulation," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 19, no. 6, pp. 1132-1141, Dec. 2025, doi: 10.1109/TBCAS.2025.3563304.

[3] Y. Shen et al., "A 36.8- $\mu$ W 66 nV/ $\sqrt{\text{Hz}}$  85.7 dB-System-SNDR Reconfigurable Single-Channel ExG Acquisition System for Bio-Sensor Modules," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 72, no. 3, pp. 1068-1080, March 2025, doi:10.1109/TCSI.2024.3523502.

[4] Y. Li, Y. Tang, J. Zhou, T. Qu, Z. Hong and J. Xu, "A 6.4GΩ-Input-Impedance 104.5dB-CMRR 96dB-DR DD-AFE With Tri-Level IDAC for Small-Diameter Dry-Electrode Interfaces," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 19, no. 6, pp. 1120-1131, Dec. 2025, doi: 10.1109/TBCAS.2025.3558094.

[5] Y. Li, Y. Li, H. Li, Z. Hong and J. Xu, "An 800MΩ-Input-Impedance 95.3dB-DR  $\Delta$ - $\Delta\Sigma$  AFE for Dry-Electrode Wearable EEG Recording," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 18, no. 5, pp. 1079-1088, Oct. 2024, doi: 10.1109/TBCAS.2024.3374891.

[6] A. Omran et al., "Toward a Generalized Analog Front End for Multiple Biomedical Signals Acquisition: A Review," in *IEEE Sensors Journal*, vol. 25, no. 21, pp. 39338-39352, 1 Nov.1, 2025, doi: 10.1109/JSEN.2025.3610097.

[7] Y. Chen, H. Chen, R. Yin and J. Wang, "A Current-to-Digital Converter Based on Hybrid CT/DT Sigma-Delta Modulator for Current-Output Biosensors," in *IEEE Sensors Journal*, vol. 25, no. 16, pp. 30935-30944, 15 Aug.15, 2025, doi: 10.1109/JSEN.2025.3588130.

[8] A. Mandal et al., "A 32-Channel 85.4 dB SNDR Time-Multiplexed Neural Recording Front-End Achieving Within-Conversion Artifact Recovery," in *IEEE Journal of Solid-State*

Circuits, doi: 10.1109/JSSC.2025.3643367.

[9] H. Yang, Y. Wang, Y. Hou, X. Wang and Y. Liu, "A Dual-Mode Compatible CT ADC With FIR DAC and SB Quantization for DSM and IDSM Operations," in IEEE Access, vol. 13, pp. 118381-118393, 2025, doi: 10.1109/ACCESS.2025.3585363.

## 6. DESCRIÇÃO DA(S) METODOLOGIA(S)

O projeto será desenvolvido no Grupo de Arquitetura de Computadores e Microeletrônica (GAMA) da UNIPAMPA. Para o desenvolvimento deste projeto serão utilizados os computadores, equipamentos de caracterização elétrica e ferramentas de EDA e processamento matemático disponíveis no laboratório de pesquisa do GAMA.

O projeto será inicialmente desenvolvido utilizando modelos de alto nível. Após, os circuitos serão implementados em nível de esquemático elétrico, e posteriormente será efetuado o leiaute do circuito e a verificação completa de suas funcionalidades.

## 7. DIREITOS PRÉ-EXISTENTES RELACIONADOS AO PROJETO

No melhor conhecimento do coordenador, não existem direitos pré-existentes relacionados a este projeto.

## 8. METAS E INDICADORES

A seguir são apresentadas as atividades do projeto de acordo com a ordem temporal, e respeitando as etapas descritas na metodologia proposta.

- A1: Revisão bibliográfica sobre ADCs para sinais biomédicos e delimitação do estado da arte.
- A2: Determinação da tecnologia CMOS a ser empregada e especificações a serem atingidas.
- A3: Determinação dos testebenches de teste e métricas de desempenho dos ADCs.
- A4: Projeto, modelagem e simulação do ADC em alto nível.
- A5: Projeto do ADC em nível elétrico (amplificadores, comparadores, controle digital).
- A6: Leiaute dos circuitos e do ADC.
- A7: Caracterização elétrica do ADC.
- A8: Otimização de potência dos circuitos projetados.
- A9: Escrita de artigos e relatórios.
- A10: Escrita de relatório final.

Observação: O bolsista de mestrado será selecionado após ampla divulgação e seleção. Espera-se selecionar o bolsista até março de 2026.

Tabela: Metas do projeto.

Metas	Indicador de execução
A1: Revisão bibliográfica sobre ADCs para sinais biomédicos e delimitação do estado da arte.	Escrita de artigo de revisão bibliográfica sobre ADCs para aplicações biomédicas.
A2: Determinação da tecnologia CMOS a ser empregada e especificações a serem atingidas.	Metas de desempenho (DR, SNR, SNDR, ENOB, e consumo de potência) estabelecidas. Aprovação do PDK a ser utilizado.
A3: Determinação dos testebenches de teste e métricas de desempenho dos ADCs.	Projeto dos setups de teste em ambiente de simulação.
A4: Projeto, modelagem e simulação do ADC em alto nível.	Desenvolvimento de modelos comportamentais para validar a topologia do ADC (Matlab ou Python) e em VerilogA.
A5: Projeto do ADC em nível elétrico (amplificadores, comparadores, controle digital)	Projeto de e validação dos sub-blocos do ADC em nível.
A6: Leiaute dos circuitos e do ADC.	Leiaute e simulação pós-leiaute de sub-blocos do ADC (DRC e LVS clean).
A7: Caracterização elétrica do ADC.	Avaliação do desempenho obtido com as especificações do projeto.
A8: Otimização de potência dos circuitos projetados	Análise do power breakdown do ADC e implementação de propostas para redução de potência do circuito.
A9: Escrita de artigos e relatórios.	Submissão de artigos e apresentação de relatório técnicos de projeto.
A10: Escrita de relatório final.	Apresentação final de resultados e encerramento do projeto.

## 9. GERENCIAMENTO DE RISCOS

Os principais riscos do projeto estão relacionados à complexidade de projeto do circuito, em especial ao nível de ruído máximo a ser atingido no projeto.

Tabela: Gestão de riscos.

Descrição do Risco	Probabilidade de Ocorrência	Impacto	Ação para controle
Redução de performance do circuito sob variações PVT	Média	Baixo	Os sub-blocos do ADC serão avaliados separadamente com simulações de Corner e Monte Carlo. O impacto das variações será minimizado na fase de projeto de nível de esquemático elétrico.
Redução do desempenho em simulação pós-leiaute	Médio.	Desprezível.	Espera-se uma diferença entre os resultados de simulação e os resultados de simulação pós-leiaute. O mesmo pode ser corrigido, mesmo que leve mais tempo que o previsto.
Ingresso de alunos de mestrado no projeto após a data prevista.	Baixo	Baixo	Este projeto visa o fomento do complemento de uma bolsa de mestrado do edital CNPq MAI 2024. Assim, será efetuado ampla divulgação para o preenchimento da vaga com sucesso.

## 10. CRONOGRAMA DE EXECUÇÃO DO PROJETO DE PESQUISA, DESENVOLVIMENTO E INOVAÇÃO

O cronograma de execução do projeto é apresentado abaixo.

Tabela : Cronograma de execução das etapas ou fases de execução

ETAPAS OU FASES DE EXECUÇÃO		RESPONSÁVEL	ANO 01 (2026)					
1º SEMESTRE			JAN	FEV	MAR	ABR	MAI	JUN
A1: Revisão bibliográfica sobre ADCs para sinais biomédicos e delimitação do estado da arte.	Pesquisadores e aluno de mestrado			X	X	X		
A2: Determinação da tecnologia CMOS a ser empregada e especificações a serem atingidas.	Pesquisadores e aluno de mestrado					X		
A3: Determinação dos testebenches de teste e métricas de desempenho dos ADCs.	Pesquisadores e aluno de mestrado					X	X	
2º SEMESTRE		RESPONSÁVEL	ANO 01 (2026)					
			JUL	AGO	SET	OUT	NOV	DEZ
A4: Projeto, modelagem e simulação do ADC em alto nível.	Pesquisadores e aluno de mestrado		X	X				
A5: Projeto do ADC em nível elétrico (amplificadores, comparadores, controle digital)	Pesquisadores e aluno de mestrado				X	X	X	X

ETAPAS OU FASES DE EXECUÇÃO		RESPONSÁVEL	ANO 02 (2027)					
1º SEMESTRE			JAN	FEV	MAR	ABR	MAI	JUN
A5: Projeto do ADC em nível elétrico (amplificadores, comparadores, controle digital)	Pesquisadores e aluno de mestrado		X	X	X	X	X	
A6: Leiaute dos circuitos e do ADC.	Pesquisadores e aluno de mestrado					X	X	
A9: Escrita de artigos e relatórios.	Pesquisadores e aluno de mestrado			X	X	X	X	
		RESPONSÁVEL	ANO 02 (2027)					

2º SEMESTRE			JUL	AGO	SET	OUT	NOV	DEZ
A6: Leiaute dos circuitos e do ADC.	Pesquisadores e aluno de mestrado		X	X	X			
A7: Caracterização elétrica do ADC.	Pesquisadores e aluno de mestrado				X	X		
A8: Otimização de potência dos circuitos projetados	Pesquisadores e aluno de mestrado					X	X	X
A9: Escrita de artigos e relatórios.	Pesquisadores e aluno de mestrado		X	X	X	X	X	X

ETAPAS OU FASES DE EXECUÇÃO			ANO 03 (2028)					
1º SEMESTRE		RESPONSÁVEL	JAN	FEV	MAR	ABR	MAI	JUN
A8: Otimização de potência dos circuitos projetados	Pesquisadores e aluno de mestrado		X	X				
A9: Escrita de artigos e relatórios.	Pesquisadores e aluno de mestrado		X	X	X	X	X	X
A10: Escrita de relatório final.	Pesquisadores e aluno de mestrado				X	X	X	X
2º SEMESTRE		RESPONSÁVEL	JUL	AGO	SET	OUT	NOV	DEZ
A9: Escrita de artigos e relatórios.	Pesquisadores e aluno de mestrado		X					
A10: Escrita de relatório final.	Pesquisadores e aluno de mestrado		X					

## 11. LOCAIS DE REALIZAÇÃO, EQUIPE TÉCNICA E COORDENAÇÃO

O projeto será realizado no Grupo de Arquitetura de Computadores e Microeletrônica (GAMA) da Unipampa, situado na sala 213-A3. O coordenador do projeto será o Professor Paulo César Comassetto de Aguirre. Participarão do projeto os colaboradores apresentados na tabela a seguir:

Tabela: Recursos humanos participantes do projeto.

Nome	Local	Função/Atividade no Projeto
Paulo César Comassetto de Aguirre	UNIPAMPA	Coordenador
Alessandro Gonçalves Girardi	UNIPAMPA	Coordenador Substituto/Pesquisador
Cristian Muller	UNIPAMPA	Pesquisador
Daniel Barcelos	EnSilica Brasil LTDA	Colaborador Externo
Bolsista de Mestrado	UNIPAMPA	Mestrando - UNIPAMPA

## 12. CRONOGRAMA FINANCEIRO

O plano de recursos financeiros é apresentado abaixo, composto por complemento de bolsa de mestrado e IC, e custos administrativos.

A empresa fará repasses mensais considerando:

### Ano 01:

10 parcelas de **R\$ 1.000,00**

### Ano 02

2 parcelas de **R\$ 1.000,00** e 10 parcelas de **R\$ 2.000,00**

### Ano 03

02 parcelas de **R\$ 2.000,00**

Descrição	Valores por ano – R\$		
	1 (2026)	2 (2027)	3 (2028)
Diárias no país	0,00	0,00	0,00
Diárias no exterior	0,00	0,00	0,00
<b>TOTAL - Diárias</b>	<b>0,00</b>	<b>0,00</b>	<b>0,00</b>
Passagens para o país	0,00	0,00	0,00
Passagens para o exterior	0,00	0,00	0,00
<b>TOTAL -Passagens</b>	<b>0,00</b>	<b>0,00</b>	<b>0,00</b>
TOTAL - EQUIPAMENTOS	0,00	0,00	0
Materiais de consumo	0,0	0,00	0,00
<b>TOTAL - MATERIAL CONSUMO</b>	<b>0,00</b>	<b>0,00</b>	<b>0,00</b>
Custos Operacionais da Fundação de Apoio	500,00	1.100,00	200,00
Ressarcimento pelo uso da infraestrutura UNIPAMPA	250,00	550,00	100,00
Ressarcimento pelo uso da infraestrutura Unidade	250,00	550,00	100,00
<b>TOTAL - SERVIÇOS DE TERCEIROS PESSOA JURÍDICA</b>	<b>1.000,00</b>	<b>2.200,00</b>	<b>400,00</b>
TOTAL - SERVIÇOS TÉCNICOS ESPECIALIZADOS			
Bolsas de estudo no país	9.000,00	19.800,00	3.600,00
Auxílio financeiro a pesquisador (professor)	0,00	0,00	0,00
<b>TOTAL - RECURSOS HUMANOS</b>	<b>9.000,00</b>	<b>19.800,00</b>	<b>3.600,00</b>
<b>TOTAL - PROJETO:</b>	<b>10.000,00</b>	<b>22.000,00</b>	<b>4.000,00</b>
<b>TOTAL:</b>		<b>RS 36.000,00</b>	

### 13. PROJETO(S) ASSOCIADOS(S)

*Este é o primeiro projeto de PD&I com a empresa EnSilica do Brasil, e será utilizado para o pagamento do complemento de bolsa do aluno de mestrado, de acordo com a Chamada CNPq N° 009/2024 - Programa de Mestrado e Doutorado para Inovação*



Assinado eletronicamente por **VITORIA ELENISE LUCAS PIZZATTO**, Assistente em Administração, em 09/02/2026, às 15:21, conforme horário oficial de Brasília, de acordo com as normativas legais aplicáveis.



A autenticidade deste documento pode ser conferida no site [https://sei.unipampa.edu.br/sei/controlador\\_externo.php?acao=documento\\_conferir&id\\_orgao\\_acesso\\_externo=0](https://sei.unipampa.edu.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0), informando o código verificador **1964785** e o código CRC **17AB5EED**.